


# SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURING METHOD

**Patent number:** JP2003060030  
**Publication date:** 2003-02-28  
**Inventor:** TAMARU TAKESHI; OMORI KAZUTOSHI; MIURA NORIKO; AOKI HIDEO; OSHIMA TAKAFUMI  
**Applicant:** HITACHI LTD  
**Classification:**  
 - international: H01L21/768; H01L21/314; H01L21/316; H01L21/318; H01L21/8238; H01L27/092  
 - european:  
**Application number:** JP20010244152 20010810  
**Priority number(s):**

Also published as:

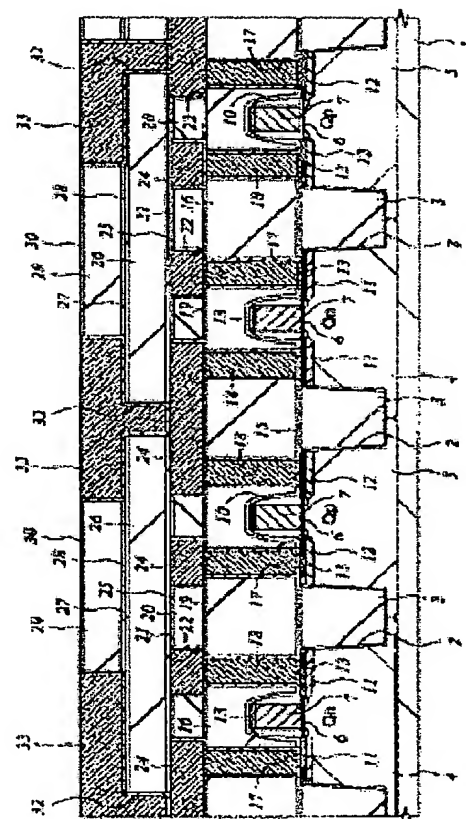
 US2003030146 (A)

## Abstract of JP2003060030

**PROBLEM TO BE SOLVED:** To prevent exfoliation of an interface of an etching stopper layer and an SiOF film which are used when a wiring trench for buried wiring is formed, in a semiconductor integrated circuit device wherein the buried wiring is formed in an interlayer insulating film containing the SiOF film by a damascene method.

**SOLUTION:** A wiring trench 32 is formed by dry-etching the interlayer insulating film containing the SiOF films 26, 29. When Cu wiring 33 is embedded in the trench 32, an oxynitrided silicon film 27 is interposed between a silicon nitride film 28 for forming an etching stopper layer of the dry etching and the SiOF film 26, thereby trapping free F generated in the SiOF film 26 with the oxynitrided silicon film 27.

14



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-60030

(P2003-60030A)

(43) 公開日 平成15年2月28日 (2003.2.28)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テ-マコード (参考)

H 0 1 L 21/768  
21/314  
21/316  
21/318  
21/8238

H 0 1 L 21/314  
21/316  
21/318  
21/90  
27/08

M 5 F 0 3 3  
X 5 F 0 4 8  
B 5 F 0 5 8  
M  
3 2 1 F

審査請求 未請求 請求項の数33 O L (全 20 頁) 最終頁に続く

(21) 出願番号

特願2001-244152(P2001-244152)

(22) 出願日

平成13年8月10日 (2001.8.10)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 田丸 剛

東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

(72) 発明者 大森 一穂

東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

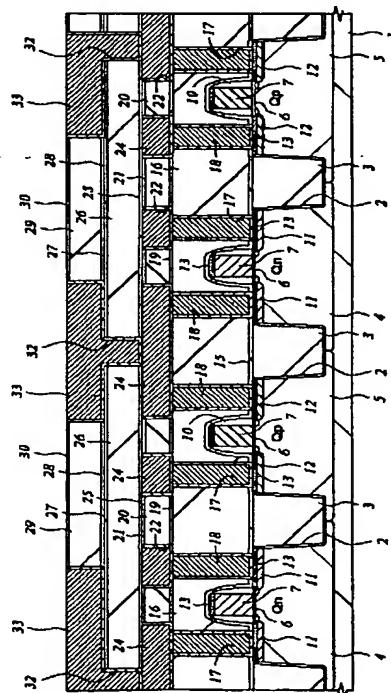
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 SiOF膜を含む層間絶縁膜にダマシン法で埋め込み配線を形成する半導体集積回路装置において、埋め込み配線用の配線溝を形成する際に用いるエッチングストップ層とSiOF膜との界面剥離を防止する。

【解決手段】 SiOF膜26、29を含む層間絶縁膜をドライエッチングして形成した配線溝32の内部にダマシン法でCu配線33を埋め込む際、上記ドライエッチングのエッチングストップ層を構成する窒化シリコン膜28とSiOF膜26との間に酸窒化シリコン膜27を介在させ、SiOF膜26中で発生した遊離のFを酸窒化シリコン膜27でトラップする。

図 14



**【特許請求の範囲】**

【請求項1】 半導体基板と、前記半導体基板の主面上に形成され、フッ素を含有する酸化シリコンからなる第1絶縁膜と、前記第1絶縁膜の内部に形成された第1配線と、前記第1絶縁膜および前記第1配線のそれぞれの上部に形成された窒化シリコンからなる第2絶縁膜と、前記第1絶縁膜と前記第2絶縁膜との間に介在する、窒素を含有する酸化シリコンからなる第3絶縁膜とを有することを特徴とする半導体集積回路装置。

【請求項2】 前記第3絶縁膜は、酸素および窒素に対するシリコンの割合が化学量論的に過剰となっていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記第3絶縁膜の窒素濃度は、5atom%以下であることを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】 前記第3絶縁膜の膜厚は、50nm以上であることを特徴とする請求項1記載の半導体集積回路装置。

【請求項5】 前記第1配線は、銅を主成分として含む導電層からなることを特徴とする請求項1記載の半導体集積回路装置。

【請求項6】 前記第2絶縁膜の上部には、フッ素を含有する酸化シリコンからなる第4絶縁膜と、窒化シリコンからなる第5絶縁膜と、前記第4絶縁膜と前記第5絶縁膜との間に介在する、窒素を含有する酸化シリコンからなる第6絶縁膜とを含んだ層間絶縁膜が形成され、前記層間絶縁膜の内部には、前記第1配線と電気的に接続された第2配線が形成され、前記第2配線との接続部を除いた領域の前記第1配線の表面は、窒化シリコンからなる第7絶縁膜で覆われていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項7】 前記第2絶縁膜と前記第4絶縁膜との間には、窒素を含有する酸化シリコンからなる第8絶縁膜が介在していることを特徴とする請求項6記載の半導体集積回路装置。

【請求項8】 半導体基板と、前記半導体基板の主面上に形成され、フッ素を含有する酸化シリコンからなる第1絶縁膜と、前記第1絶縁膜の内部に形成された第1配線と、前記第1絶縁膜および前記第1配線のそれぞれの上部に形成されたSiCまたはSiCNからなる第2絶縁膜と、前記第1絶縁膜と前記第2絶縁膜との間に介在する、窒素を含有する酸化シリコンからなる第3絶縁膜とを有することを特徴とする半導体集積回路装置。

【請求項9】 前記第3絶縁膜は、酸素および窒素に対するシリコンの割合が化学量論的に過剰となっていることを特徴とする請求項8記載の半導体集積回路装置。

【請求項10】 前記第3絶縁膜の窒素濃度は、5atom%以下であることを特徴とする請求項8記載の半導体集積回路装置。

【請求項11】 前記第3絶縁膜の膜厚は、50nm以

上であることを特徴とする請求項8記載の半導体集積回路装置。

【請求項12】 前記第1配線は、銅を主成分として含む導電層からなることを特徴とする請求項8記載の半導体集積回路装置。

【請求項13】 前記第2絶縁膜の上部には、フッ素を含有する酸化シリコンからなる第4絶縁膜と、SiCまたはSiCNからなる第5絶縁膜と、前記第4絶縁膜と前記第5絶縁膜との間に介在する、窒素を含有する酸化シリコンからなる第6絶縁膜とを含んだ層間絶縁膜が形成され、前記層間絶縁膜の内部には、前記第1配線と電気的に接続された第2配線が形成され、前記第2配線との接続部を除いた領域の前記第1配線の表面は、SiCまたはSiCNからなる第7絶縁膜で覆われていることを特徴とする請求項8記載の半導体集積回路装置。

【請求項14】 前記第2絶縁膜と前記第4絶縁膜との間には、SiCまたはSiCNからなる第8絶縁膜が介在していることを特徴とする請求項13記載の半導体集積回路装置。

【請求項15】 半導体基板と、前記半導体基板の主面上に形成され、フッ素を含有する酸化シリコンからなる第1絶縁膜と、前記第1絶縁膜の内部に形成された第1配線と、前記第1絶縁膜および前記第1配線のそれぞれの上部に形成されたSiCまたはSiCNからなる第2絶縁膜とを有することを特徴とする半導体集積回路装置。

【請求項16】 前記第1配線は、銅を主成分として含む導電層からなることを特徴とする請求項15記載の半導体集積回路装置。

【請求項17】 前記第1絶縁膜の上層には、フッ素を含有する酸化シリコンからなる第3絶縁膜と、SiCまたはSiCNからなる第4絶縁膜とを含んだ層間絶縁膜が形成され、前記層間絶縁膜の内部には、前記第1配線と電気的に接続された第2配線が形成され、前記第2埋配線との接続部を除いた領域の前記第1配線の表面は、SiCまたはSiCNを主成分とする第5絶縁膜で覆われていることを特徴とする請求項15記載の半導体集積回路装置。

【請求項18】 以下の工程を含む半導体集積回路装置の製造方法：(a)半導体基板の主面上に、第1窒化シリコン膜と、フッ素を含有する酸化シリコンからなる第1絶縁膜と、窒素を含有する酸化シリコンからなる第2絶縁膜と、第2窒化シリコン膜と、フッ素を含有する酸化シリコンからなる第3絶縁膜と、窒素を含有する酸化シリコンからなる第4絶縁膜と、第3窒化シリコン膜とからなる第1層間絶縁膜を形成する工程、(b)第1フォトリソ膜をマスクに用いたドライエッチングで、配線溝形成領域の前記第3窒化シリコン膜を除去する工程、(c)第2フォトリソ膜をマスクに用いたドライエッチングで、前記配線溝形成領域の一部の前記第4

絶縁膜、前記第3絶縁膜、前記第2窒化シリコン膜、前記第2絶縁膜および前記第1絶縁膜を除去する工程、

(d) 前記第3窒化シリコン膜をマスクに用いたドライエッチングで、前記配線溝形成領域の前記第4絶縁膜および前記第3絶縁膜を除去する工程、(e) 前記第3窒化シリコン膜をドライエッチングで除去し、さらに前記第1窒化シリコン膜をドライエッチングで除去することにより、前記配線溝形成領域の前記第1層間絶縁膜に第1配線溝を形成する工程、(f) 前記配線溝の内部を埋め込むように第1導電層を形成した後、前記配線溝の外部の前記第1導電層を化学機械研磨法によって除去することにより、前記配線溝の内部に前記第1導電層からなる第1配線を形成する工程。

【請求項19】 前記第2絶縁膜および前記第4絶縁膜は、酸素および窒素に対するシリコンの割合が化学量論的に過剰となっていることを特徴とする請求項18記載の半導体集積回路装置の製造方法。

【請求項20】 前記第2絶縁膜および前記第4絶縁膜の窒素濃度は、5atom%以下であることを特徴とする請求項18記載の半導体集積回路装置の製造方法。

【請求項21】 前記第2絶縁膜および前記第4絶縁膜の膜厚は、50nm以上であることを特徴とする請求項18記載の半導体集積回路装置の製造方法。

【請求項22】 前記第1配線は、銅を主成分として含む導電層からなることを特徴とする請求項18記載の半導体集積回路装置の製造方法。

【請求項23】 前記工程(a)において、前記第1絶縁膜を形成した後、前記第2絶縁膜を形成する工程に先立って、前記第1絶縁膜の表面を化学機械研磨法で平坦化することを特徴とする請求項18記載の半導体集積回路装置の製造方法。

【請求項24】 前記工程(a)において、前記第2絶縁膜を形成した後、前記第2窒化シリコン膜を形成する工程に先立って、前記第2絶縁膜の表面を化学機械研磨法で平坦化することを特徴とする請求項18記載の半導体集積回路装置の製造方法。

【請求項25】 以下の工程を含む半導体集積回路装置の製造方法：

(a) 半導体基板の主面上に、第1SiC膜または第1SiCN膜と、フッ素を含有する酸化シリコンからなる第1絶縁膜と、窒素を含有する酸化シリコンからなる第2絶縁膜と、第2SiC膜または第2SiCN膜と、フッ素を含有する酸化シリコンからなる第3絶縁膜と、窒素を含有する酸化シリコンからなる第4絶縁膜と、SiC、SiCNまたは窒化シリコンからなる第5絶縁膜とからなる第1層間絶縁膜を形成する工程、(b) 第1フォトリソ膜をマスクに用いたドライエッチングで、配線溝形成領域の前記第5絶縁膜を除去する工程、

(c) 第2フォトリソ膜をマスクに用いたドライエッチングで、前記配線溝形成領域の一部の前記第4絶縁

膜、前記第3絶縁膜、前記第2SiC膜または第2SiCN膜、前記第2絶縁膜および前記第1絶縁膜を除去する工程、(d) 前記第5絶縁膜をマスクに用いたドライエッチングで、前記配線溝形成領域の前記第4絶縁膜および前記第3絶縁膜を除去する工程、(e) 前記第5絶縁膜をドライエッチングで除去し、さらに前記第1SiC膜または第1SiCN膜をドライエッチングで除去することにより、前記配線溝形成領域の前記第1層間絶縁膜に第1配線溝を形成する工程、(f) 前記配線溝の内部を埋め込むように第1導電層を形成した後、前記配線溝の外部の前記第1導電層を化学機械研磨法によって除去することにより、前記配線溝の内部に前記第1導電層からなる第1配線を形成する工程。

【請求項26】 前記第2絶縁膜および前記第4絶縁膜は、酸素および窒素に対するシリコンの割合が化学量論的に過剰となっていることを特徴とする請求項25記載の半導体集積回路装置の製造方法。

【請求項27】 前記第2絶縁膜および前記第4絶縁膜の窒素濃度は、5atom%以下であることを特徴とする請求項25記載の半導体集積回路装置の製造方法。

【請求項28】 前記第2絶縁膜および前記第4絶縁膜の膜厚は、50nm以上であることを特徴とする請求項25記載の半導体集積回路装置の製造方法。

【請求項29】 前記第1配線は、銅を主成分として含む導電層からなることを特徴とする請求項25記載の半導体集積回路装置の製造方法。

【請求項30】 前記工程(a)において、前記第1絶縁膜を形成した後、前記第2絶縁膜を形成する工程に先立って、前記第1絶縁膜の表面を化学機械研磨法で平坦化することを特徴とする請求項25記載の半導体集積回路装置の製造方法。

【請求項31】 前記工程(a)において、前記第2絶縁膜を形成した後、前記第2SiC膜または第2SiCN膜を形成する工程に先立って、前記第2絶縁膜の表面を化学機械研磨法で平坦化することを特徴とする請求項25記載の半導体集積回路装置の製造方法。

【請求項32】 以下の工程を含む半導体集積回路装置の製造方法：

(a) 半導体基板の主面上に、第1SiC膜または第1SiCN膜と、フッ素を含有する酸化シリコンからなる第1絶縁膜と、第2SiC膜または第2SiCN膜と、フッ素を含有する酸化シリコンからなる第2絶縁膜と、SiC、SiCNまたは窒化シリコンからなる第3絶縁膜とからなる第1層間絶縁膜を形成する工程、(b) 第1フォトリソ膜をマスクに用いたドライエッチングで、配線溝形成領域の前記第3絶縁膜を除去する工程、(c) 第2フォトリソ膜をマスクに用いたドライエッチングで、前記配線溝形成領域の一部の前記第2絶縁膜、前記第2SiC膜または第2SiCN膜および前記第1絶縁膜を除去する工程、(d) 前記第3絶縁膜をマ

スクに用いたドライエッチングで、前記配線溝形成領域の前記第2絶縁膜を除去する工程、(e)前記第3絶縁膜をドライエッチングし、さらに前記第1SiC膜または第1SiCN膜をドライエッチングで除去することにより、前記配線溝形成領域の前記第1層間絶縁膜に第1配線溝を形成する工程、(f)前記配線溝の内部を埋め込むように第1導電層を形成した後、前記配線溝の外部の前記第1導電層を化学機械研磨法によって除去することにより、前記配線溝の内部に前記第1導電層からなる第1配線を形成する工程。

【請求項33】 前記第1埋め込み配線は、銅を主成分として含む導電膜からなることを特徴とする請求項32記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、ダマシン(Damascene)法を用いた銅(Cu)配線の形成に適用して有効な技術に関する。

【0002】

【従来の技術】近年、LSIの高集積化による配線の微細化に伴って配線抵抗の増大が顕著となり、特に高性能なロジックLSIにおいては、配線抵抗の増大がさらなる高性能化を阻害する大きな要因となっている。

【0003】その対策として、シリコン基板上の層間絶縁膜に配線溝を形成し、次いで配線溝の内部を含む層間絶縁膜上にCu膜を堆積した後、配線溝の外部の不要なCu膜を化学機械研磨(Chemical Mechanical Polishing; CMP)法で除去する、いわゆるダマシン(Damascene)法を用いた埋め込みCu配線の導入が進められている。また、上記Cu配線の導入による配線抵抗の低減と並行して、配線容量を低減する観点から、酸化シリコン膜に比べて誘電率が低いSiOFなどを使った層間絶縁膜の導入が進められている。

【0004】特開2000-277520号公報は、SiOFからなる層間絶縁膜に形成した配線溝の内部にダマシン法を用いて埋め込みCu配線を形成する技術を開示しており、その概要は次の通りである。

【0005】まず、トランジスタが形成されたシリコン基板上に酸化シリコン膜を堆積し、続いて酸化シリコン膜上にエッチングストップ膜を介してSiOF膜を堆積する。酸化シリコン膜上のエッチングストップ膜は、SiOF膜をドライエッチングして配線溝を形成する際に、下層の酸化シリコン膜がエッチングされるのを防ぐためのもので、SiOF膜をエッチングするガスによってエッチングされ難い材料、例えば窒化シリコン膜または酸窒化シリコン膜(SiON)膜で構成される。

【0006】次に、フォトリソ膜をマスクにしたドライエッチングで上記SiOF膜に配線溝を形成し、続いて、配線溝の内部を含むSiOF膜上に薄いバリア膜

とスパッターCu膜とを形成した後、その上部に電解メッキ法などによって厚いCu膜を堆積する。上記バリア膜は、配線溝内のCuがSiOF膜中に拡散して素子特性に悪影響を及ぼすの防ぐために形成するが、この公報では、SiOF膜との界面で剥離が生じるのを防ぐために、SiOF膜に対して接着性のよい材料、例えば窒素含量30~60%の窒化タンタル(TaN)で構成される。また、スパッターCu膜は、電解メッキ法でCu膜を成長させる際のシード(種)膜として機能する。次に、SiOF膜上の不要なCu膜、スパッターCu膜およびバリア膜を化学機械研磨法で除去することによって、配線溝の内部にCu配線を形成する。

【0007】

【発明が解決しようとする課題】本発明者らは、層間絶縁膜にSiOF膜を、エッチングストップ膜に窒化シリコン膜をそれぞれ用い、この層間絶縁膜に形成した配線溝にCu配線を形成するプロセスを検討していたところ、層間絶縁膜(SiOF膜)とエッチングストップ膜(窒化シリコン膜)との界面で剥離が生じるという現象を見出した。

【0008】前述した公報(特開2000-277520号公報)は、配線溝の内部に形成するバリア膜と層間絶縁膜(SiOF膜)との界面剥離の問題について言及しているが、層間絶縁膜(SiOF膜)とエッチングストップ膜(窒化シリコン膜)との界面剥離については言及しておらず、この現象は新規なものである。

【0009】SiOF膜と窒化シリコン膜との界面で剥離が生じるメカニズムについては、未だ明確にされていないが、例えばSiOF膜中のSi-F結合が一部で切断されて遊離のFが生じると、このFがSiN膜とSiOF膜との界面に移行してそこにトラップされ、大気中から層間絶縁膜内に取り込まれた水と反応してHFが生成する。そして、その後の熱処理工程で基板が400℃を超えるような高温雰囲気曝されるとこのHFが膨張し、界面剥離を引き起こすのではないかと、本発明者らは推測している。

【0010】本発明の目的は、SiOF膜を含む層間絶縁膜に埋め込み配線を形成する半導体集積回路装置において、SiOF膜をドライエッチングして埋め込み配線用の配線溝を形成する際に用いるエッチングストップ層とSiOF膜との界面剥離を有効に防止することのできる技術を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】本発明の半導体集積回路装置は、半導体基

板の主面上に形成され、フッ素を含有する酸化シリコンからなる第1絶縁膜と、前記第1絶縁膜の内部に形成された第1配線と、前記第1絶縁膜および前記第1配線のそれぞれの上部に形成された窒化シリコンからなる第2絶縁膜と、前記第1絶縁膜と前記第2絶縁膜との間に介在する、窒素を含有する酸化シリコンからなる第3絶縁膜とを有するものである。

【0014】本発明の半導体集積回路装置の製造方法は、以下の工程を含んでいる。

(a) 半導体基板の主面上に、第1窒化シリコン膜と、フッ素を含有する酸化シリコンからなる第1絶縁膜と、窒素を含有する酸化シリコンからなる第2絶縁膜と、第2窒化シリコン膜と、フッ素を含有する酸化シリコンからなる第3絶縁膜と、窒素を含有する酸化シリコンからなる第4絶縁膜と、第3窒化シリコン膜とからなる第1層間絶縁膜を形成する工程、(b) 第1フォトリソ膜をマスクに用いたドライエッチングで、配線溝形成領域の前記第3窒化シリコン膜を除去する工程、(c) 第2フォトリソ膜をマスクに用いたドライエッチングで、前記配線溝形成領域の一部の前記第4絶縁膜、前記第3絶縁膜、前記第2窒化シリコン膜、前記第2絶縁膜および前記第1絶縁膜を除去する工程、(d) 前記第3窒化シリコン膜をマスクに用いたドライエッチングで、前記配線溝形成領域の前記第4絶縁膜および前記第3絶縁膜を除去する工程、(e) 前記第3窒化シリコン膜をドライエッチングで除去し、さらに前記第1窒化シリコン膜をドライエッチングで除去することにより、前記配線溝形成領域の前記第1層間絶縁膜に第1配線溝を形成する工程、(f) 前記配線溝の内部を埋め込むように第1導電層を形成した後、前記配線溝の外部の前記第1導電層を化学機械研磨法によって除去することにより、前記配線溝の内部に前記第1導電層からなる第1配線を形成する工程。

【0015】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0016】(実施の形態1) 本発明の実施の形態であるCMOS-LSIの製造方法を図1～図14を用いて工程順に説明する。

【0017】まず、図1に示すように、例えば1～10Ωcm程度の比抵抗を有するp型の単結晶シリコンからなる半導体基板(以下、基板またはウェハという)1に素子分離溝2を形成する。素子分離溝2を形成するには、素子分離領域の基板1をエッチングして溝を形成した後、溝の内部を含む基板1上にCVD法で酸化シリコン膜3を堆積し、続いて溝の外部の酸化シリコン膜3を化学機械的に研磨することによって除去する。

【0018】次に、基板1の一部にホウ素をイオン注入

し、他の一部にリンをイオン注入することによって、p型ウェル4およびn型ウェル5を形成した後、基板1をスチーム酸化することによって、p型ウェル4およびn型ウェル5のそれぞれの表面にゲート酸化膜6を形成する。

【0019】次に、図2に示すように、p型ウェル4およびn型ウェル5のそれぞれの上部にゲート電極7を形成する。ゲート電極7を形成するには、例えばゲート酸化膜6の上部にCVD法で多結晶シリコン膜を堆積した後、p型ウェル4の上部の多結晶シリコン膜にリンをイオン注入し、n型ウェル5の上部の多結晶シリコン膜にホウ素をイオン注入した後、フォトリソ膜をマスクにしたドライエッチングで多結晶シリコン膜をパターンニングする。

【0020】次に、p型ウェル4にリンまたはヒ素をイオン注入することによって低不純物濃度のn型半導体領域8を形成し、n型ウェル5にホウ素をイオン注入することによって低不純物濃度のp型半導体領域9を形成する。

【0021】次に、図3に示すように、基板1上にCVD法で窒化シリコン膜を堆積し、続いてこの窒化シリコン膜を異方的にエッチングすることによって、ゲート電極7の側壁にサイドウォールスペーサ10を形成した後、p型ウェル4にリンまたはヒ素をイオン注入することによって高不純物濃度のn型半導体領域11(ソース、ドレイン)を形成し、n型ウェル5にホウ素をイオン注入することによって高不純物濃度のp型半導体領域12(ソース、ドレイン)を形成する。

【0022】次に、基板1の表面を洗浄した後、ゲート電極7、n型半導体領域11(ソース、ドレイン)およびp型半導体領域12(ソース、ドレイン)のそれぞれの表面にシリサイド層13を形成する。シリサイド層13を形成するには、基板1上にスパッタリング法でCo(コバルト)膜を堆積し、次いで窒素ガス雰囲気中で熱処理を行って基板1およびゲート電極7とCo膜とを反応させた後、未反応のCo膜をウェットエッチングで除去する。ここまでの工程で、nチャネル型MISFETQnおよびpチャネル型MISFETQpが完成する。

【0023】次に、図4に示すように、基板1上にCVD法で窒化シリコン膜15および酸化シリコン膜16を堆積し、続いてn型半導体領域11(ソース、ドレイン)およびp型半導体領域12(ソース、ドレイン)のそれぞれの上部の酸化シリコン膜16および窒化シリコン膜15をドライエッチングしてコンタクトホール17を形成した後、コンタクトホール17の内部にメタルプラグ18を形成する。酸化シリコン膜16をエッチングするとき、下層の窒化シリコン膜15のエッチング速度を小さくするために、CF<sub>4</sub>、CHF<sub>3</sub>、C<sub>4</sub>F<sub>8</sub>などのハイドロフルオロカーボン系ガスまたはフルオロカー



ボン系ガスを使用する。また、窒化シリコン膜 15 をエッチングするときは、ハイドロフルオロカーボン系ガス ( $\text{CHF}_3$  や  $\text{CH}_2\text{F}_2$  など) に酸素と Ar とを加えた混合ガスを使用する。メタルプラグ 18 を形成するには、コンタクトホール 17 の内部を含む酸化シリコン膜 16 上に CVD 法で TiN (窒化チタン) 膜と W (タングステン) 膜とを堆積し、続いて酸化シリコン膜 16 の上部の不要な TiN 膜および W 膜を化学機械研磨 (CMP) 法またはエッチバック法によって除去する。なお、酸化シリコン膜 16 は、モノシラン ( $\text{SiH}_4$ ) をソースガスに用いた通常の CVD 法で形成する酸化シリコン膜の他、BPSG (Boron-doped Phospho Silicate Glass) 膜、スピンドラ法によって形成される SOG (Spin On Glass) 膜あるいはこれらの積層膜などによって構成してもよい。

【0024】次に、図 5 に示すように、酸化シリコン膜 16 の上部に窒化シリコン膜 19、SiOF 膜 20、酸窒化シリコン (SiON) 膜 21 を順次堆積する。窒化シリコン膜 19 は、次の工程で SiOF 膜 20 に配線溝を形成する際に下層の酸化シリコン膜 16 がエッチングされるのを防ぐためのエッチングストップ膜として機能するもので、例えばモノシラン ( $\text{SiH}_4$ )、ジシラン ( $\text{Si}_2\text{H}_6$ ) などのシラン系ガスと、アンモニア ( $\text{NH}_3$ ) または窒素との混合ガスを用いた CVD 法で堆積する。

【0025】SiOF 膜 20 は、例えば  $\text{SiH}_4$  と  $\text{SiF}_4$  と酸素との混合ガス、またはテトラエトキシシラン ( $(\text{C}_2\text{H}_5\text{O})_4\text{Si}$ ) と  $\text{SiF}_4$  と酸素との混合ガスを用いたプラズマ CVD 法で堆積する。SiOF 膜 20 は、酸化シリコン (比誘電率 = 4.1) よりも比誘電率が小さく (約 3.5 ~ 3.7)、後の工程で形成される Cu 配線の配線間における層間絶縁膜容量を低減することができる。

【0026】酸窒化シリコン膜 21 は、SiOF 膜 20 と後の工程でその上部に形成する窒化シリコン膜 (25) との界面の剥離を防止するために形成する。酸窒化シリコン膜 21 は、例えばモノシラン ( $\text{SiH}_4$ )、ジシラン ( $\text{Si}_2\text{H}_6$ ) などのシラン系ガスと、酸素、亜酸化窒素 ( $\text{N}_2\text{O}$ )、オゾン ( $\text{O}_3$ ) などの酸素含有ガスと、窒素、 $\text{NH}_3$  などの窒素含有ガスとの混合ガスを用いた CVD 法で堆積する。

【0027】SiOF 膜 20 とその上部に形成される窒化シリコン膜 (25) との間に酸窒化シリコン膜 21 を形成すると、SiOF 膜 20 と窒化シリコン膜 (25) の界面での剥離が防止される理由は、次のようなものであると推測される。

【0028】上記酸窒化シリコン膜 21 は、膜中にシリコン (Si) の未結合手 (ダングリングボンド) が存在しているため、SiOF 膜 20 中の Si-F 結合が一部で切断されて遊離の F が生じると、この F が窒化シリコ

ン膜 (25) との界面に達する前に酸窒化シリコン膜 21 中の未結合手にトラップされる。このとき、未結合手の数が少ないと、遊離の F の一部が窒化シリコン膜 (25) との界面に達し、そこでトラップされるため、酸窒化シリコン膜 21 と窒化シリコン膜 (25) との界面の接着力が低下してしまう。すなわち、酸窒化シリコン膜 21 中に存在する未結合手の数は、遊離の F の数と同等以上であることが望ましい。

【0029】従って、酸窒化シリコン膜 21 を成膜する際は、窒素含有ガスや酸素含有ガスに対するシラン系ガスの割合を過剰にして未結合手の数を増やすことが望ましい。また、酸窒化シリコン膜 21 の膜厚が薄い場合も、遊離の F の一部が窒化シリコン膜 (25) との界面に達してしまうため、ある程度以上の膜厚を確保することが望ましい。酸窒化シリコン膜 21 の望ましい膜厚は、SiOF 膜 20 中で生成する遊離の F の量が成膜条件や膜厚によって異なるので、一概には規定できないが、本発明者らの実験では、少なくとも 50 nm 以上とすることによって剥離を防止することができた。また、酸窒化シリコン膜 21 の窒素含有率は、5 atom% を超えない範囲が望ましいという実験結果も得られた。窒素含有率が高くなると、酸窒化シリコン膜 21 の膜質が窒化シリコン膜に近づくため、SiOF 膜 20 と酸窒化シリコン膜 21 との界面の接着力が低下するようになる。

【0030】次に、図 6 に示すように、フォトレジスト膜 50 をマスクにして酸窒化シリコン膜 21、SiOF 膜 20、窒化シリコン膜 19 を順次ドライエッチングすることによって、コンタクトホール 17 の上部に配線溝 22 を形成する。酸窒化シリコン膜 21 および SiOF 膜 20 をエッチングするときは、下層の窒化シリコン膜 19 のエッチング速度を小さくするために、 $\text{CF}_4$ 、 $\text{CHF}_3$ 、 $\text{C}_4\text{F}_8$  などのハイドロフルオロカーボン系ガスまたはフルオロカーボン系ガスを使用する。また、窒化シリコン膜 19 をエッチングするときは、下層の酸化シリコン膜 16 のエッチング速度を小さくするために、ハイドロフルオロカーボン系ガスに酸素と Ar とを加えた混合ガスを使用する。

【0031】次に、フォトレジスト膜 50 を除去した後、図 7 に示すように、配線溝 22 の内部に第 1 層目の Cu 配線 24 を形成する。Cu 配線 24 は、バリアメタル膜と Cu 膜との積層膜で構成し、次のような方法で形成する。まず、配線溝 22 の内部を含む酸窒化シリコン膜 21 上にバリアメタル膜と Cu 膜とを堆積し、続いて非酸化性雰囲気 (例えば水素雰囲気) 中で熱処理 (リフロー) を施して Cu 膜を配線溝 22 の内部に隙間なく埋め込んだ後、配線溝 22 の外部の不要な Cu 膜とバリアメタル膜とを化学機械研磨法で除去する。Cu 膜とバリアメタル膜とを研磨するには、例えばアルミナなどの砥粒と過酸化水素水または硝酸第二鉄水溶液などの酸化剤とを主成分とし、これらを水に分散または溶解させた研

磨スラリを使用する。

【0032】上記バリアメタル膜は、Cu配線24中のCuがSiOF膜20中に拡散するのを防止する機能と共に、Cu配線24とSiOF膜20中との接着性を向上させる機能および上記Cu膜をリフローする際の濡れ性を向上させる機能を有している。このような機能を持ったバリアメタル膜としては、例えばスパッタリング法で堆積したTiN膜、WN（窒化タングステン）膜、Ta<sub>2</sub>N（窒化タンタル）などの高融点金属窒化物からなる膜や、これらの積層膜あるいはTiNとTiの積層膜、TaとTa<sub>2</sub>Nの積層膜などが例示される。

【0033】Cu配線24を構成するCu膜は、スパッタリング法、CVD法、メッキ法（電解メッキ法または無電解メッキ法）のいずれかの方法で形成する。メッキ法でCu膜を形成する場合は、あらかじめバリアメタル膜の表面にスパッタリング法などを用いて薄いCu膜からなるシード層を形成し、次に、このシード層の表面にCu膜を成長させる。また、スパッタリング法でCu膜を形成する場合は、ロングスロースパッタリング法やコリメートスパッタリング法のような指向性の高いスパッタリング法を用いることが好ましい。Cu膜は、単体のCuの他、Cuを主成分として含むCu合金で構成してもよい。

【0034】次に、図8に示すように、Cu配線24の上部にCVD法で窒化シリコン膜25、SiOF膜26、酸窒化シリコン膜27を順次堆積し、続いて化学機械研磨法で酸窒化シリコン膜27を薄く研磨してその表面を平坦化する。酸窒化シリコン膜27の化学機械研磨を行う際、ウエハ面内での研磨量のばらつきによって、下層のSiOF膜26の一部が露出する虞れがある場合は、SiOF膜26を堆積した後にその表面を研磨し、その後、SiOF膜26の上部に酸窒化シリコン膜27を堆積してもよい。窒化シリコン膜25は、Cu配線24中のCuがSiOF膜26中に拡散するのを防止する拡散バリア層として機能するものであるが、前述したように、窒化シリコン膜25と下層のSiOF膜20との間に酸窒化シリコン膜21を形成したことにより、窒化シリコン膜25と下層のSiOF膜20との界面での剥離を防止することができる。

【0035】次に、図9に示すように、酸窒化シリコン膜27の上部にCVD法で窒化シリコン膜28、SiOF膜29、酸窒化シリコン膜30、窒化シリコン膜31を順次堆積する。窒化シリコン31は次の工程で配線溝（32）を形成する際のマスクとして機能し、窒化シリコン28はエッチングストップ層として機能するものであるが、窒化シリコン膜28と下層のSiOF膜26との間に酸窒化シリコン膜27を形成し、窒化シリコン膜31と下層のSiOF膜29との間に酸窒化シリコン膜30を形成したことにより、窒化シリコン膜28とSiOF膜26との界面での剥離や、窒化シリコン膜31と

SiOF膜29との界面での剥離を防止することができる。

【0036】酸窒化シリコン膜27、30は、前記酸窒化シリコン膜21と同様、シリコンリッチとなるような組成で形成することが望ましい。また、50nm以上の膜厚で堆積し、窒素含有率が5atom%を超えないようにすることが望ましい。

【0037】次に、図10に示すように、フォトレジスト膜51をマスクに用いたドライエッチングで配線溝形成領域の窒化シリコン膜31を除去する。次に、フォトレジスト膜51を除去した後、図11に示すように、フォトレジスト膜52をマスクに用いたドライエッチングで配線溝形成領域の一部の酸窒化シリコン膜30、SiOF膜29、窒化シリコン膜28、酸窒化シリコン膜27、SiOF膜26を除去し、窒化シリコン膜25の表面でエッチングを停止する。

【0038】次に、フォトレジスト膜51を除去した後、図12に示すように、窒化シリコン膜31をマスクに用いたドライエッチングで配線溝形成領域の酸窒化シリコン膜30およびSiOF膜29を除去する。続いて、図13に示すように、窒化シリコン膜31、28、25をドライエッチングすることによって、Cu配線24の上部に配線溝32を形成した後、図14に示すように、配線溝32の内部に第2層目のCu配線33を形成する。第2層目のCu配線33は、前述した第1層目のCu配線24の形成方法（図7参照）に準じて形成すればよい。

【0039】図示は省略するが、その後、前述した工程を繰り返し、第2層目のCu配線33の上部に複数層のCu配線を形成することにより、本実施形態のCMOS-LSIが完成する。

【0040】なお、本実施形態では、SiOF膜20とその上層の窒化シリコン膜25との間に酸窒化シリコン膜21を介在させたが、図15に示すように、SiOF膜20とその下層の窒化シリコン膜19との間に酸窒化シリコン膜34を介在させることにより、SiOF膜20と窒化シリコン膜19との界面における剥離も防止することができる。

【0041】（実施の形態2）本発明の実施の形態であるCMOS-LSIの製造方法を図16～図21を用いて工程順に説明する。

【0042】まず、図16に示すように、前記実施の形態1と同様の方法でnチャネル型MISFETQ<sub>n</sub>およびpチャネル型MISFETQ<sub>p</sub>を形成した後、n<sup>+</sup>型半導体領域11（ソース、ドレイン）およびp<sup>+</sup>型半導体領域12（ソース、ドレイン）のそれぞれの上部の酸窒化シリコン膜16および窒化シリコン膜15をドライエッチングしてコンタクトホール17を形成し、コンタクトホール17の内部にメタルプラグ18を形成する。こままでの工程は、前記実施の形態1の図1～図4に示し



た工程と同じである。

【0043】次に、図17に示すように、酸化シリコン膜16の上部にSiC膜37およびSiOF膜20を順次堆積する。前記実施の形態1では、エッチングストップ膜を窒化シリコン膜で構成したが、本実施形態ではSiC膜37で構成する。SiC膜に代えてSiCN膜を使用することもできる。窒化シリコン膜は、比誘電率が約7であるのに対し、SiC膜やSiCN膜の比誘電率は約5である。従って、エッチングストップ層を窒化シリコン膜に代えてSiC膜やSiCN膜で構成することにより、配線間の層間絶縁膜容量を低減することができる。SiC膜は、トリメチルシランとヘリウム(He)との混合ガスを用いたCVD法で堆積し、SiCN膜は、トリメチルシランとHeとアンモニア(または窒素)との混合ガスを用いたCVD法で堆積する。トリメチルシランに代えてモノ、ジあるいはテトラメチルシランを使用することもできる。

【0044】また、前記実施の形態1では、SiOF膜20の上部に酸窒化シリコン膜(21)を堆積したが、本実施形態では、酸窒化シリコン膜を使用しない。

【0045】次に、図18に示すように、SiOF膜20およびSiC膜37をドライエッチングすることによって、コンタクトホール17の上部に配線溝22を形成し、続いて配線溝22の内部に、前記実施の形態1と同様の方法で第1層目のCu配線24を形成する。

【0046】次に、図19に示すように、Cu配線24の上部にCVD法でSiC膜38、SiOF膜39、SiC膜40、SiOF膜41およびSiC膜42を順次堆積する。なお、SiC膜38、40、42は、前述したSiCN膜で代替してもよい。また、SiC膜40を堆積した後、SiOF膜41を堆積する工程に先立って、化学機械研磨法でSiC膜40を薄く研磨してその表面を平坦化する。SiC膜40の化学機械研磨を行う際、ウエハ面内での研磨量のばらつきによって、下層のSiOF膜39の一部が露出する虞れがある場合は、SiOF膜39を堆積した後にその表面を研磨し、その後、SiOF膜39の上部にSiC膜40を堆積してもよい。SiC膜40あるいはSiOF膜39の表面を平坦化することにより、SiOF膜41の表面の高さおよび膜厚がウエハ面内でほぼ均一になるので、後の工程で形成される配線溝の内部に埋め込まれるCu配線の膜厚、すなわちCu配線の抵抗値をウエハ面内でほぼ均一にすることができる。

【0047】上記SiC膜38は、Cu配線24中のCuがSiOF膜39中に拡散するのを防止する拡散バリア層として機能する。また、SiC42は次の工程で配線溝を形成する際のマスクとして機能し、SiC40はエッチングストップ層として機能する。すなわち、本実施形態では、SiOF膜39、41をドライエッチングして配線溝を形成する際のエッチングストップ層をSi

C膜またはSiCN膜で構成することによって、SiOF膜39、41とエッチングストップ層(SiC膜40)、マスク(42)との界面の接着性を向上させる。また、第1層目のCu配線24が形成されたSiOF膜20の上部の拡散バリア層をSiC膜38で構成することによって、SiOF膜20と拡散バリア層(SiC膜38)との界面の接着性を向上させる。

【0048】SiOF膜とSiC膜との界面の接着性が良い理由は、CVD法で堆積したSiC膜が多孔性に富んでいるためであると推測される。すなわち、SiOF膜中で生じた遊離のFは、多孔質のSiC膜中を通り抜けて拡散するので、SiOF膜とSiC膜との界面ではトラップされ難いと考えられる。また、SiCN膜も多孔性に富んでいるため、同様の効果が期待できる。

【0049】次に、図20に示すように、フォトレジスト膜(図示せず)およびSiC膜42をマスクに用い、前記実施の形態1に準じた方法でドライエッチングを行うことにより、Cu配線24の上部に配線溝43を形成し、続いて図21に示すように、配線溝43の内部に第2層目のCu配線44を形成する。

【0050】本実施形態では、エッチングストップ層をSiC膜(またはSiCN)膜で構成することによってSiOF膜との界面の接着性を向上させたが、図22に示すように、エッチングストップ層を構成するSiC膜40とその下層のSiOF膜39との間に、前記実施の形態1で用いた酸窒化シリコン膜27を介在させてもよい。

【0051】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

#### 【0052】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0053】SiOF膜を含む層間絶縁膜をドライエッチングして埋め込み配線用の配線溝を形成する際、ドライエッチングのエッチングストップ層を構成する窒化シリコン膜とSiOF膜との間に酸窒化シリコン膜を介在させることにより、SiOF膜中で生じた遊離のFが酸窒化シリコン膜中でトラップされるので、エッチングストップ層とSiOF膜との界面の接着性が向上する。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図2】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図3】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 4】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 5】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 6】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 7】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 8】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 9】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 10】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 11】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 12】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 13】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 14】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 15】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 16】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 17】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 18】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 19】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 20】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 21】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

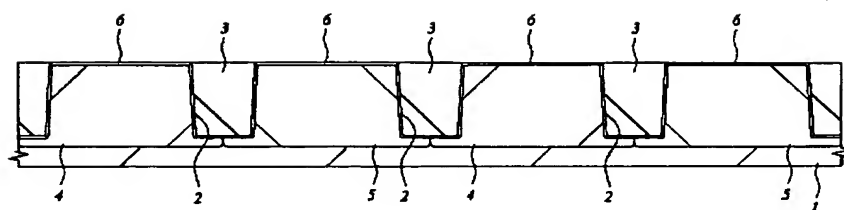
【図 22】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

# 【符号の説明】

- 1 半導体基板
- 2 素子分離溝
- 3 酸化シリコン膜
- 4 p型ウエル
- 5 n型ウエル
- 6 ゲート酸化膜
- 7 ゲート電極
- 8 n<sup>+</sup>型半導体領域
- 9 p<sup>+</sup>型半導体領域
- 10 サイドウォールスペーサ
- 11 n<sup>+</sup>型半導体領域（ソース、ドレイン）
- 12 p<sup>+</sup>型半導体領域（ソース、ドレイン）
- 13 シリサイド層
- 15 窒化シリコン膜
- 16 酸化シリコン膜
- 17 コンタクトホール
- 18 メタルプラグ
- 19 窒化シリコン膜
- 20 SiO<sub>2</sub>膜
- 21 酸窒化シリコン膜
- 22 配線溝
- 24 Cu配線
- 25 窒化シリコン膜
- 26 SiO<sub>2</sub>膜
- 27 酸窒化シリコン膜
- 28 窒化シリコン膜
- 29 SiO<sub>2</sub>膜
- 30 酸窒化シリコン膜
- 31 窒化シリコン膜
- 32 配線溝
- 33 Cu配線
- 34、35、36 酸窒化シリコン膜
- 37 SiC膜
- 38 SiC膜
- 39 SiO<sub>2</sub>膜
- 40 SiC膜
- 41 SiO<sub>2</sub>膜
- 42 SiC膜
- 43 配線溝
- 44 Cu配線
- 50～54 フォトレジスト膜
- Qn nチャネル型MISFET
- Qp pチャネル型MISFET

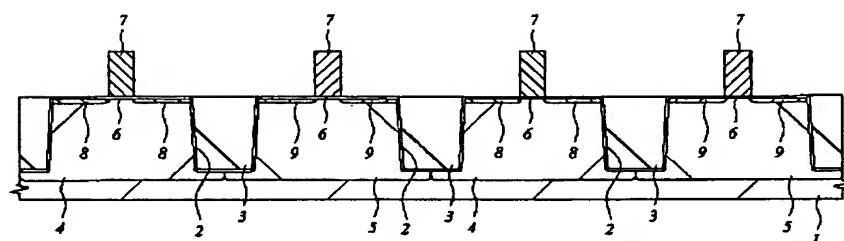
【図 1】

図 1



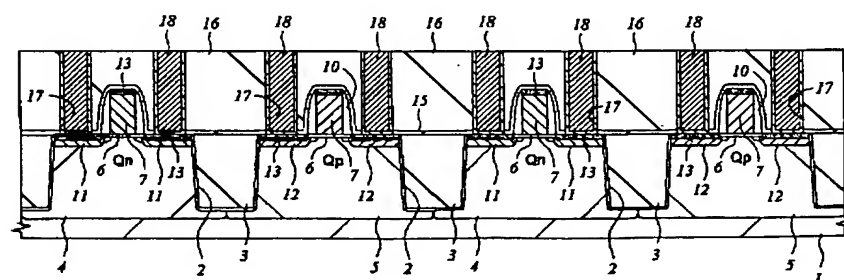
【図 2】

図 2



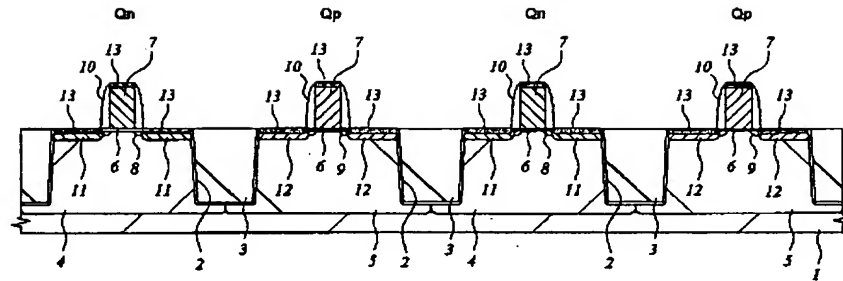
【図 4】

図 4



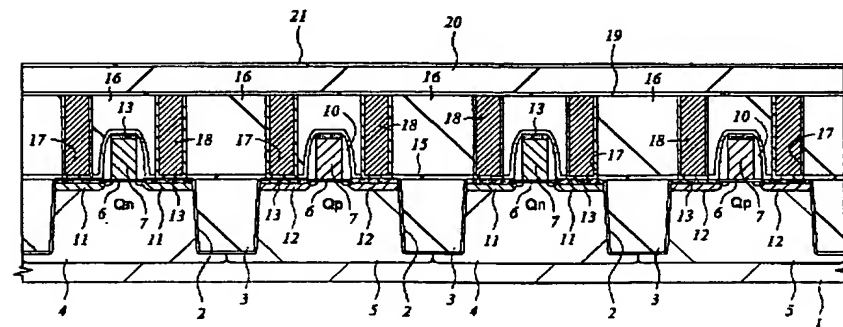
【図 3】

図 3



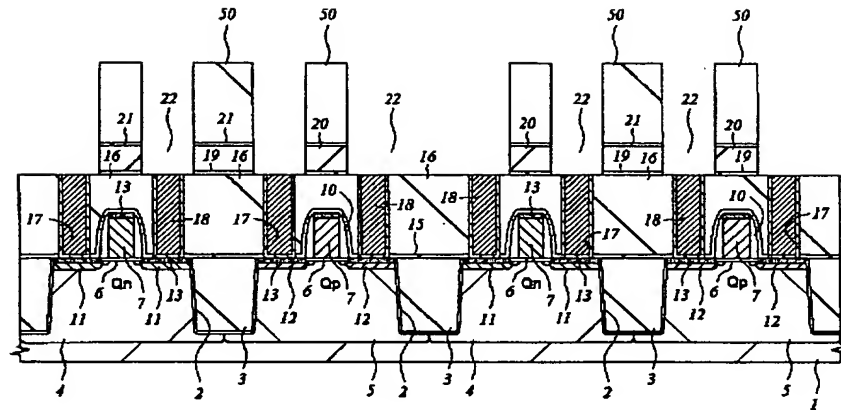
【図 5】

図 5



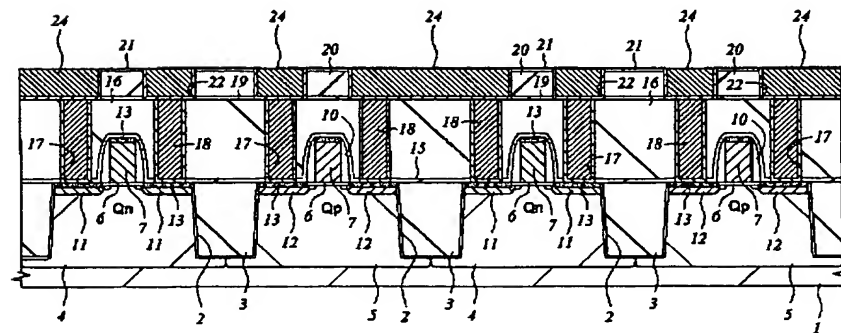
【図 6】

図 6



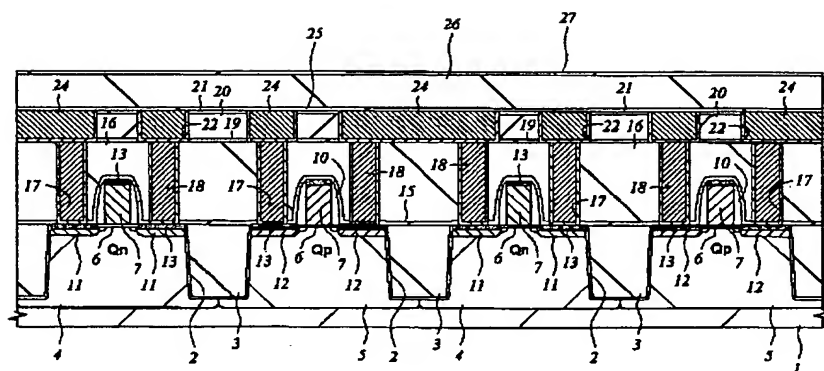
【図 7】

図 7



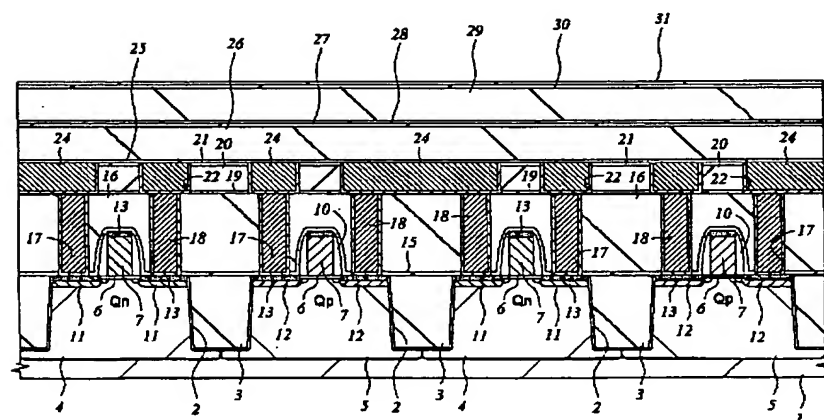
【図 8】

図 8



【図 9】

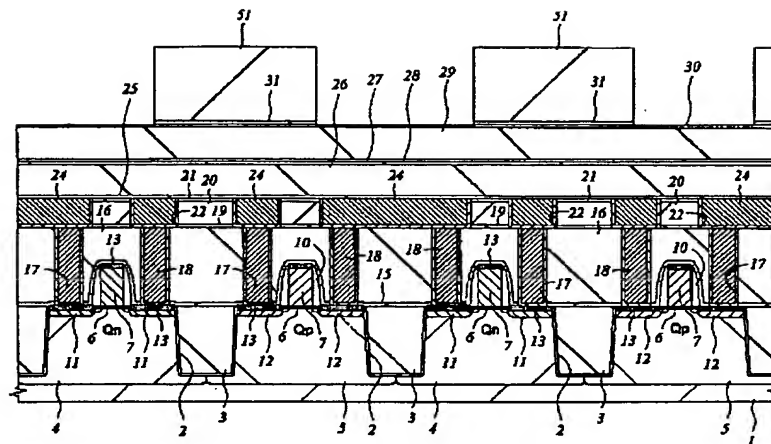
図 9





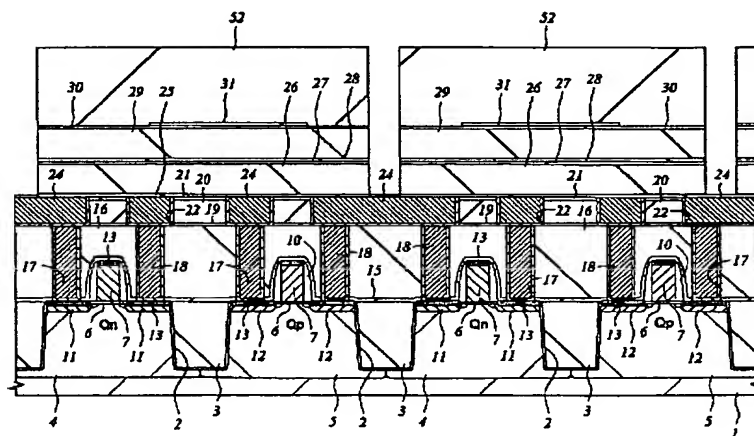
【図 10】

図 10



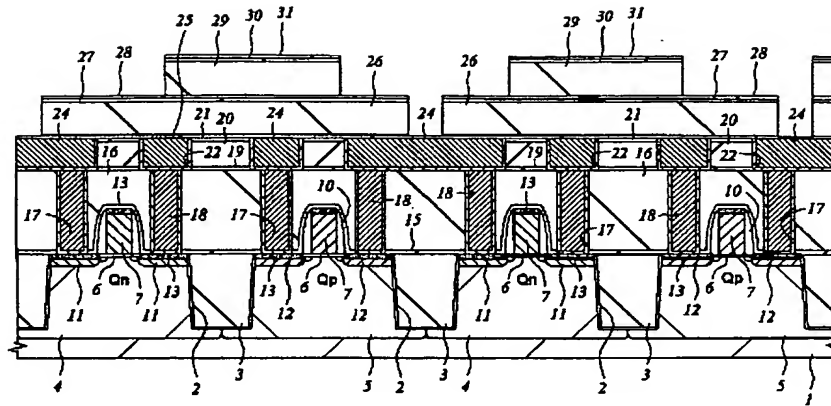
【図 11】

図 11



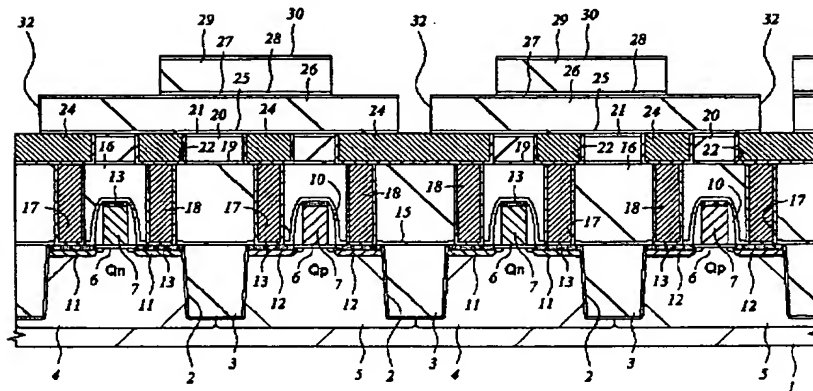
【図 12】

図 12



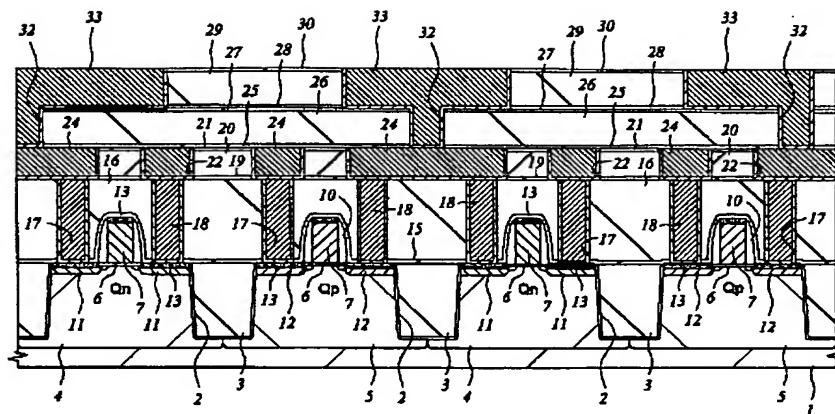
【図 13】

図 13



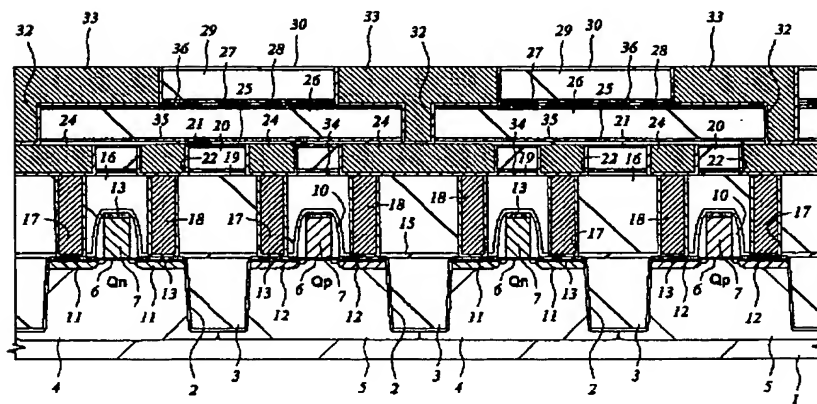
【図 14】

図 14

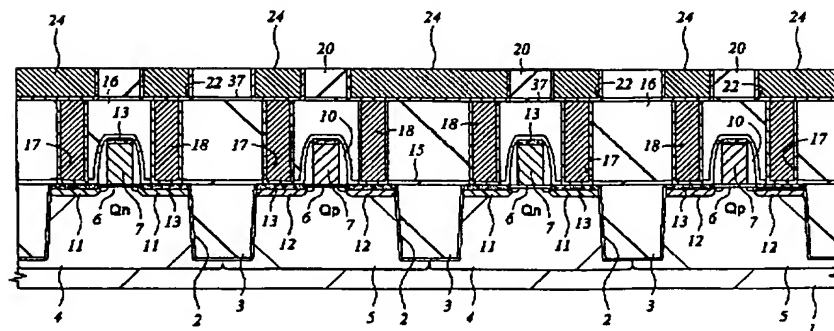


【図 15】

図 15

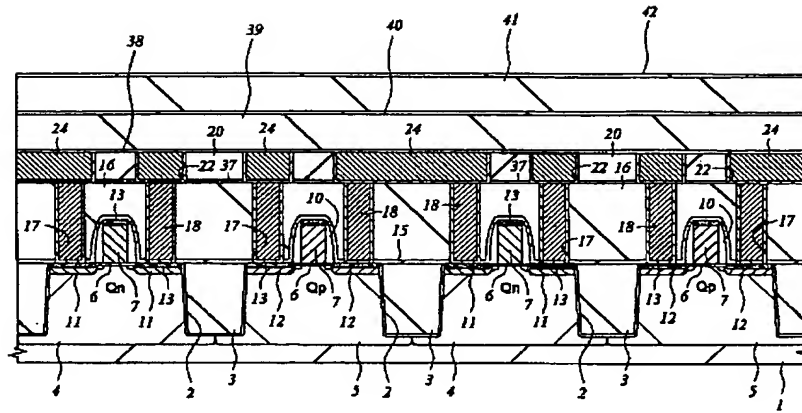


**16**



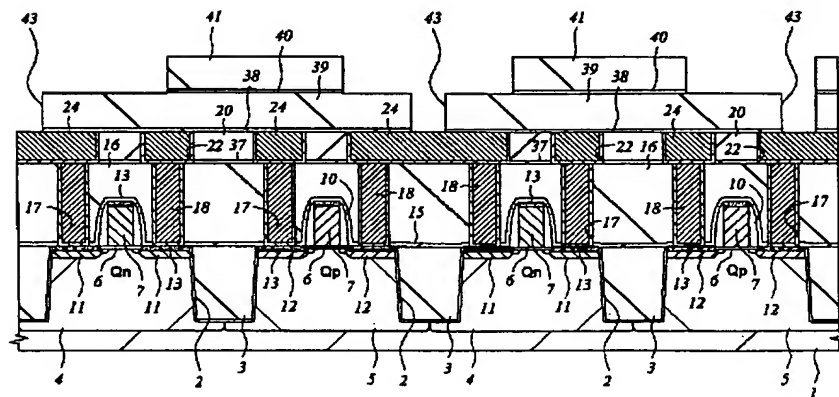
【図 19】

図 19



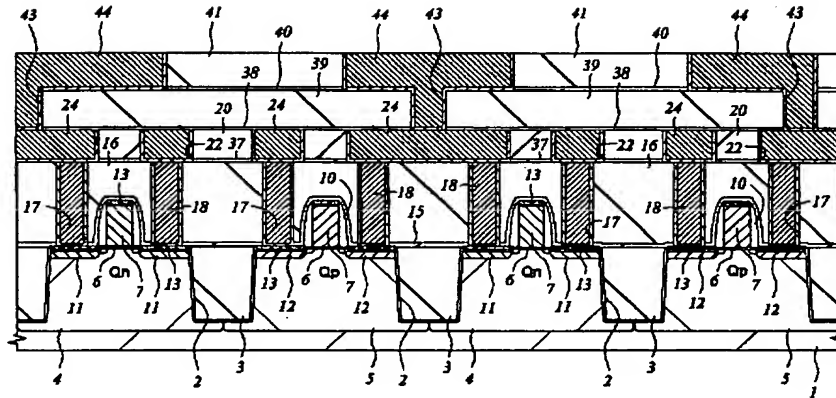
【図 20】

図 20



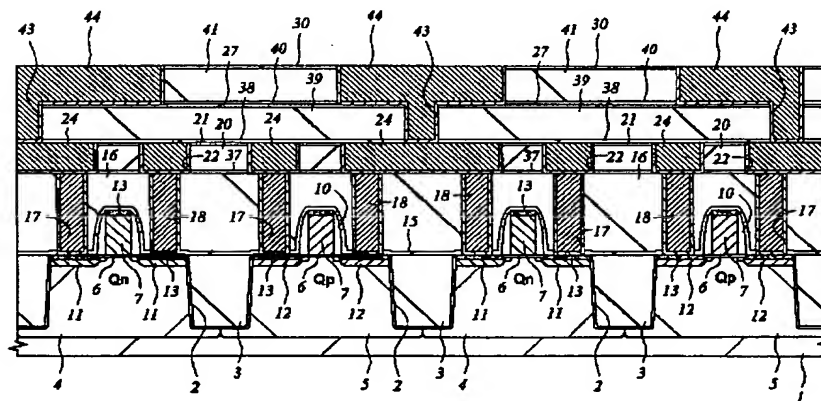
【図21】

図 21



【図22】

図 22



フロントページの続き

(51) Int. Cl.<sup>7</sup>  
H01L 27/092

識別記号

F I

テーマコード (参考)

(72) 発明者 三浦 典子  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

(72) 発明者 大島 隆文  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

(72) 発明者 青木 英雄  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内



F ターム(参考) 5F033 HH04 HH11 HH12 HH32 HH33  
HH34 JJ01 JJ11 JJ12 JJ19  
JJ32 JJ33 JJ34 KK01 KK11  
KK12 KK25 KK32 KK33 KK34  
LL04 MM01 MM02 MM12 MM13  
NN06 NN07 PP06 PP15 PP27  
PP28 QQ09 QQ10 QQ11 QQ21  
QQ25 QQ31 QQ37 QQ48 QQ70  
QQ73 QQ75 RR01 RR04 RR06  
RR08 RR09 RR11 RR15 RR20  
SS01 SS02 SS11 TT02 WW02  
WW04 XX12  
5F048 AC03 BD04 BE03 BF01 BF06  
BF07 BF12 BF15 BF16 BG14  
5F058 BA10 BD02 BD04 BD06 BD10  
BD13 BD18 BF02 BF07 BF23  
BF24 BF25 BF27 BF29 BF30  
BJ02